

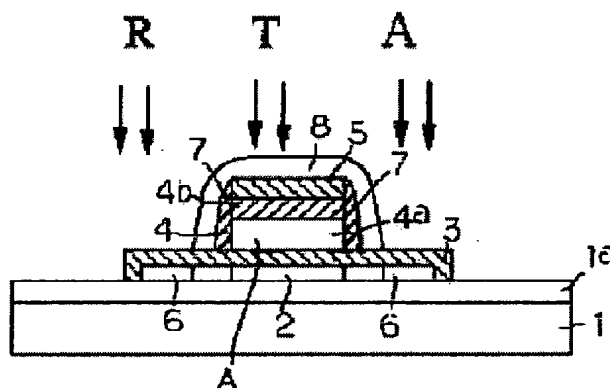
**MANUFACTURE OF THIN FILM TRANSISTOR, AND LIQUID CRYSTAL DISPLAY**

**Patent number:** JP9074201  
**Publication date:** 1997-03-18  
**Inventor:** HIRANO KIICHI; SOTANI NAOYA; YAMAJI TOSHIFUMI; MORIMOTO YOSHIHIRO; YONEDA KIYOSHI  
**Applicant:** SANYO ELECTRIC CO  
**Classification:**  
- international: **G02F1/136; G02F1/1368; H01L21/02; H01L21/26; H01L21/265; H01L21/268; H01L21/336; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; G02F1/136; H01L21/26; H01L21/268; H01L21/336; H01L27/12**  
- european:  
**Application number:** JP19950199980 19950804  
**Priority number(s):** JP19950199980 19950804; JP19950167513 19950703

Report a data error here

**Abstract of JP9074201**

**PROBLEM TO BE SOLVED:** To improve the through put of a semiconductor device provided with a polycrystalline silicon film of excellent characteristics. **SOLUTION:** An amorphous silicon film is formed on a glass substrate 1, a polycrystalline silicon film 2 is formed by laser annealing said amorphous silicon film, a gate electrode is formed on the polycrystalline silicon film 2 through a gate insulating film 3, an impurity region 6, which becomes a source/ drain layer, is formed on the polycrystalline silicon film 2, and the impurity region 6 is activated by quickly heating it using an RTA method.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

## 特開平9-74201

(43) 公開日 平成9年(1997)3月18日

(51) Int. Cl.<sup>6</sup>  
H01L 29/786  
21/336  
G02F 1/136  
H01L 21/26  
21/268

識別記号

500

F I

H01L 29/78 627 G  
G02F 1/136 500  
H01L 21/268 Z  
27/12 R  
21/26 L

審査請求 未請求 請求項の数11 O L (全14頁) 最終頁に続く

(21) 出願番号 特願平7-199980

(22) 出願日 平成7年(1995)8月4日

(31) 優先権主張番号 特願平7-167513

(32) 優先日 平7(1995)7月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

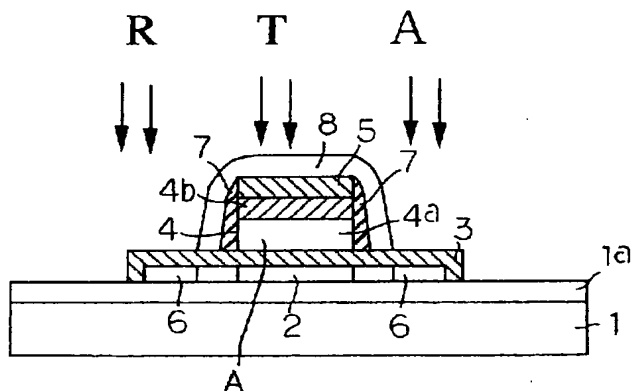
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法及び液晶ディスプレイ

(57) 【要約】

【課題】 優れた特性の多結晶シリコン膜を備えた半導体装置のスループットを向上させること。

【解決手段】 ガラス基板1上に非晶質シリコン膜を形成し、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜2を形成し、この多結晶シリコン膜2の上に、ゲート絶縁膜3を介してゲート電極を形成し、前記多結晶シリコン膜2に、ソース/ドレインとなる不純物領域6を形成し、前記不純物領域6をRTA法を用いて急速加熱することにより活性化する。



## 【特許請求の範囲】

【請求項 1】 基板上に形成された能動層の結晶化ための熱処理の温度を、前記基板が変形しない程度の温度に設定し、この熱処理に用いた方法とは異なる熱処理方法で不純物の活性化を行うことを特徴とした薄膜トランジスタの製造方法。

【請求項 2】 絶縁基板上に非晶質シリコン膜を形成する工程と、  
この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、  
この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、  
前記多結晶シリコン膜に、不純物領域を形成する工程と、  
前記不純物領域を R T A (Rapid Thermal Annealing) 法を用いて急速加熱することにより活性化する工程と、  
を含むことを特徴とした薄膜トランジスタの製造方法。

【請求項 3】 絶縁基板上に非晶質シリコン膜を形成する工程と、  
この非晶質シリコン膜を前記基板が変形しない程度の温度を用いた熱処理法により固相成長させて多結晶シリコン膜を形成する工程と、  
この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、  
前記多結晶シリコン膜に、不純物領域を形成する工程と、  
前記不純物領域を R T A 法を用いた急速加熱又はレーザーアニールにより活性化する工程と、を含むことを特徴とした薄膜トランジスタの製造方法。

【請求項 4】 前記非晶質シリコン膜が微結晶を含むことを特徴とした請求項 1 乃至 3 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 5】 前記ゲート電極が少なくとも非晶質シリコン膜を有し、前記不純物の活性化のための熱処理により結晶化されることを特徴とした請求項 1 乃至 4 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 6】 前記ゲート電極が少なくともシリコン膜と金属又は金属シリサイドとの 2 層構造を有し、前記不純物の活性化のための熱処理により低抵抗化されることを特徴とした請求項 1 乃至 5 のいずれか 1 項に記載の薄膜トランジスタの製造方法。

【請求項 7】 シリコン膜と金属又は金属シリサイドとの 2 層構造を備えたゲート電極を有するものであって、ゲート電極の低抵抗化と不純物領域の活性化とを R T A 法又はレーザーアニール法を用いて同時に行うことを特徴とした薄膜トランジスタの製造方法。

【請求項 8】 前記 R T A 法に用いる熱源として、ランプからの照射熱を用いることを特徴とした請求項 2、3 又は 7 に記載の薄膜トランジスタの製造方法。

【請求項 9】 前記ランプとして、キセノンアークラン

プを用いることを特徴とした請求項 8 に記載の薄膜トランジスタの製造方法。

【請求項 1 0】 請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることを特徴とした液晶ディスプレイ。

【請求項 1 1】 請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子及び周辺駆動回路用素子として用いることを特徴とした液晶ディスプレイ。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【発明の属する技術分野】 本発明は、薄膜トランジスタ (Thin Film Transistor) の製造方法及び液晶ディスプレイ (L C D : Liquid Crystal Display) に関するものである。

## 【 0 0 0 2 】

【従来の技術】 近年、アクティブマトリクス方式 L C D の画素駆動素子 (画素駆動用トランジスタ) として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ (以下、多結晶シリコン T F T という) の開発が進められている。

【 0 0 0 3 】 多結晶シリコン T F T は、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコン T F T を用いれば、高性能な L C D を実現できる上に、画素部 (表示部) だけでなく周辺駆動回路 (ドライバ部) までを同一基板上に一体に形成することができる。

【 0 0 0 4 】 このような多結晶シリコン T F T において、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板に堆積させる方法は、例えば、C V D 法を用い、高温下で堆積させるという比較的簡単な工程である。

【 0 0 0 5 】 また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図 3 1 及び図 3 2 に基づいて説明する。

工程 A (図 3 1 参照) : 絶縁基板 (例えば石英ガラス) 5 1 上に、通常の減圧 C V D 法を用いて非晶質シリコン膜を形成し、更に、窒素 (N<sub>2</sub>) 雰囲気中、温度 9 0 0 ℃程度で熱処理を行うことにより、前記非晶質シリコン膜を固相成長させて多結晶シリコン膜 5 2 を形成する。

【 0 0 0 6 】 前記多結晶シリコン膜 5 2 を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ

技術、R I E 法によるドライエッチング技術により前記多結晶シリコン膜 5 2 を所定形状に加工する。前記多結晶シリコン膜 5 2 の上に、減圧 C V D 法を用いて、ゲート絶縁膜 5 3 としてのシリコン酸化膜を堆積する。

【 0 0 0 7 】工程 B ( 図 3 2 参照 ) : 前記ゲート絶縁膜 5 3 上に、減圧 C V D 法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。次に、常圧 C V D 法により、この多結晶シリコン膜の上にシリコン酸化膜 5 4 を堆積した後、フォトリソグラフィ技術、R I E 法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜 5 4 を所定形状に加工する。前記多結晶シリコン膜はゲート電極 5 5 として使用する。

【 0 0 0 8 】次に、自己整合技術により、ゲート電極 5 5 及びシリコン酸化膜 5 4 をマスクとして、多結晶シリコン膜 5 2 に不純物を注入し、ソース・ドレイン領域 5 6 を形成する。このような方法は、固相成長や不純物活性化の時に 9 0 0 ℃程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板 ( 例えば、石英基板 ) を用いた場合には、処理時間が短く済むという利点がある。

【 0 0 0 9 】しかしながら、前記耐熱性の高い基板は高価であり、比較的安価なガラス基板を用いた場合には、基板に熱歪みが生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。特に、駆動デバイスである T F T においては、高性能化が必須であり、このために、低温プロセスを用いた T F T の構成材料の高品質化をはじめとする様々なアプローチがなされている。

【 0 0 1 0 】例えば、デバイス特性を左右する活性層材料の高品質化技術として、非晶質シリコン膜を出発材料とし、エキシマレーザーアニール法によって、多結晶シリコン薄膜を形成する技術が開発されている。

【 0 0 1 1 】

【発明が解決しようとする課題】レーザーアニールは、ビーム走査を何度も繰り返して行う必要があるため、結晶化プロセスに時間がかかるという問題があるが、従来例にあっては、熱源としてレーザービームのみを使用するものであるので、多結晶化プロセスに加え、例えば、不純物領域の活性化にも時間のかかるレーザーアニールを行わなければならない、総プロセス時間が長くなり、T F T デバイスおよび T F T を使用した L C D デバイスのスループットが低下する問題がある。

【 0 0 1 2 】本発明は、薄膜トランジスタの製造方法及び液晶ディスプレイに関し、斯かる問題点を解決するものである。

【 0 0 1 3 】

【課題を解決するための手段】請求項 1 の薄膜トランジスタの製造方法にあっては、基板上に形成された能動層の結晶化のための熱処理の温度を、前記基板が変形しない

程度の温度に設定し、この熱処理に用いた方法とは異なる熱処理方法で不純物の活性化を行うものである。

【 0 0 1 4 】また、請求項 2 の薄膜トランジスタの製造方法にあっては、絶縁基板上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域を R T A 法を用いて急速加熱することにより活性化する工程とを含むものである。

【 0 0 1 5 】また、請求項 3 の薄膜トランジスタの製造方法にあっては、絶縁基板上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜を前記基板が変形しない程度の温度を用いた熱処理法により固相成長させて多結晶シリコン膜を形成する工程と、この多結晶シリコン膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域を R T A 法を用いた急速加熱又はレーザーアニールにより活性化する工程とを含むものである。

【 0 0 1 6 】また、請求項 4 の薄膜トランジスタの製造方法にあっては、前記非晶質シリコン膜が微結晶を含むものである。また、請求項 5 の薄膜トランジスタの製造方法にあっては、前記ゲート電極が少なくとも非晶質シリコン膜を有し、前記不純物の活性化のための熱処理により結晶化されるものである。

【 0 0 1 7 】また、請求項 6 の薄膜トランジスタの製造方法にあっては、前記ゲート電極が少なくともシリコン膜と金属又は金属シリサイドとの 2 層構造を有し、前記不純物の活性化のための熱処理により低抵抗化されるものである。また、請求項 7 の薄膜トランジスタの製造方法にあっては、シリコン膜と金属又は金属シリサイドとの 2 層構造を備えたゲート電極を有するものであって、ゲート電極の低抵抗化と不純物領域の活性化とを R T A 法又はレーザーアニール法を用いて同時に行うものである。

【 0 0 1 8 】また、請求項 8 の薄膜トランジスタの製造方法にあっては、前記 R T A 法に用いる熱源として、ランプからの照射熱を用いるものである。また、請求項 9 の薄膜トランジスタの製造方法にあっては、前記ランプとして、キセノンアークランプを用いるものである。また、請求項 1 0 の薄膜トランジスタにあっては、請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いるものである。

【 0 0 1 9 】また、請求項 1 1 の薄膜トランジスタにあっては、請求項 1 乃至 9 のいずれか 1 項に記載の薄膜トランジスタの製造方法によって製造した薄膜トランジスタを画素駆動用素子及び周辺駆動回路用素子として用い

るものである。すなわち、請求項1乃至5の本発明によれば、非晶質シリコン膜の多結晶化と不純物領域の活性化とを、基板が変形しない程度の温度を用いた熱処理法、レーザーアニール法及びRTA法を適宜組み合わせで行うので、多結晶化、活性化いずれもレーザーアニール法で行うことに比べて、製造時間が短くなる。

【0020】特に、請求項2の発明にあっては、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。また、請求項3の発明にあっては、固相成長時に一度に大量の基板を処理できる。また、請求項4の発明にあっては、微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶成長を短時間で終えることができる。

【0021】また、請求項5の発明にあっては、非晶質シリコン膜の結晶化と不純物の活性化とを一度に行うので、別々に行うことに比べて、処理時間が短くなる。また、請求項6及び7の発明にあっては、シリコン膜と金属又は金属シリサイドとの2層構造の低抵抗化と不純物の活性化とを一度に行うので、別々に行うことに比べて、処理時間が短くなる。

【0022】また、請求項8及び9の発明にあっては、不純物の活性化に適したものである。また、請求項10及び11の発明にあっては、短時間で製造された品質のよい薄膜トランジスタを画素駆動用素子や周辺駆動回路用素子として用いることにより、優れた液晶ディスプレイを短時間で製造することができる。

#### 【0023】

##### 【発明の実施の形態】

(第1実施形態) 本発明を具体化した第1の実施形態を図1乃至図18に従って説明する。

工程1(図1参照): 石英ガラスや無アルカリガラスなどの基板1上に、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ などの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。具体的には、基板1としてコーニング社製7059を使用し、その表面上に常圧又は減圧CVD法により、形成温度350℃で、膜厚3000~5000Åの $\text{SiO}_2$ 膜を形成する。

【0024】この $\text{SiO}_2$ 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの $\text{SiO}_2$ 膜を通過して上層へ拡散しない程度の厚みが必要で、1000~6000Åの範囲が適切で、2000~6000Åにしたときに拡散防止効果が良好で、その中でも3000~5000Åの場合がもっとも適している。また、絶縁性薄膜1aとして $\text{Si}_3\text{N}_4$ を用いた場合の膜厚としては、1000~5000Åの範囲が適切で、2000~5000Åにしたときに拡散防止効果が良好で、その中でも2000~3000Åの場合がもっとも適している。

【0025】工程2(図2参照): 前記絶縁性薄膜1a

の上に、非晶質シリコン膜2a(膜厚500Å)を形成する。この非晶質シリコン膜2aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜2aの膜厚は、400~800Åの範囲が適切で、500~700Åにしたときに特性が良好で、その中でも500~600Åの場合がもっとも適している。

【0026】前記非晶質シリコン膜2aの形成方法には以下のものがある。

①減圧CVDを用いる方法: 減圧CVD法でシリコン膜を形成するには、モノシラン( $\text{SiH}_4$ )又はジシラン( $\text{Si}_2\text{H}_6$ )の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。そして、550~620℃では微結晶を含む非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質シリコン膜2a中の微結晶の量を調整することができる。

②プラズマCVD法を用いる方法: プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でのモノシランまたはジシランの熱分解を用いる。実際の工程では、前記①の方法を採用し、使用ガス: モノシラン、温度: 350℃の条件で、微結晶を含まない非晶質シリコン膜を形成している。

工程3(図3参照): 前記非晶質シリコン膜2aの表面に、波長 $\lambda=248\text{nm}$ のKrFエキシマレーザービームを照射、走査してアニール処理を行い、非晶質シリコン膜2aを溶融再結晶化して、多結晶シリコン薄膜2を形成する。

【0028】この時のレーザー条件は、アニール雰囲気:  $1 \times 10^{-4}\text{Pa}$ 以下、基板温度: 室温~600℃、照射エネルギー密度:  $100 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度:  $1 \sim 10\text{mm}/\text{sec}$ (実際には、 $0.1 \sim 100\text{mm}/\text{sec}$ の範囲の速度で走査可能)である。前記レーザービームとしては、波長 $\lambda=308\text{nm}$ のXeClエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気:  $1 \times 10^{-4}\text{Pa}$ 以下、基板温度: 室温~600℃、照射エネルギー密度:  $100 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度:  $1 \sim 10\text{mm}/\text{sec}$ (実際には、 $0.1 \sim 100\text{mm}/\text{sec}$ の範囲の速度で走査可能)である。

【0029】また、波長 $\lambda=193\text{nm}$ のArFエキシマレーザーを使用してもよい。この場合のレーザー条件は、アニール雰囲気:  $1 \times 10^{-4}\text{Pa}$ 以下、基板温度: 室温~600℃、照射エネルギー密度:  $100 \sim 500\text{mJ}/\text{cm}^2$ 、走査速度:  $1 \sim 10\text{mm}/\text{sec}$ である。いずれのレーザービームを用いても、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大きさの粒径が得られるよう

に、エネルギー密度を調整すればよい。

【0030】本実施形態では、このエキシマレーザーアニールに、高スループットレーザー照射法を用いる。即ち、図29において、101はKrFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0031】このような構成において、高スループットレーザー照射法とは、レーザービーム制御光学系103によってシート状(150mm×0.5mm)に加工されたレーザービームを、複数パルスの重ね合わせにより照射する方法で、ステージ走査とパルスレーザー照射を完全に同期させ、きわめて高精度な重複でレーザーを照射することによりスループットを高めるものである。

【0032】工程4(図4参照):前記多結晶シリコン膜2を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜2を所定形状に加工する。そして、前記多結晶シリコン膜2の上に、ロードロック式減圧CVD装置を用いた減圧CVD法により、ゲート絶縁膜としてのLTO膜(Low Temperature Oxide:シリコン酸化膜)3(膜厚1000Å)を形成する。

【0033】工程5(図5参照):前記ゲート絶縁膜3の上に、減圧CVD法により非晶質シリコン膜(膜厚2000Å)4aを堆積する。この非晶質シリコン膜4aは、その形成時に不純物(N型ならヒ素やリン、P型ならボロン)がドーパされているが、ノンドーパ状態で堆積し、その後に不純物を注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜4aの上にタングステンシリサイド( $WSi_x$ )膜4b(膜厚1000Å)を形成する。スパッタ法では、Wシリサイドの合金ターゲットを使用する。Wシリサイド( $WSi_x$ )の化学量論的組成は $X=2$ であるが、合金ターゲットの組成は $X>2$ に設定する。これはWシリサイド膜4bの組成が $X=2$ に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、Wシリサイド膜4bにクラックが発生したり、剥離したりする恐れがあるためである。但し、Wシリサイドの抵抗値は $X=2$ の場合に最も低くなるため、クラックや剥離が生じない程度にXの上限を設定する必要がある。

【0034】そして、常圧CVD法により、前記Wシリサイド膜4bの上にシリコン酸化膜5を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜4a、Wシリサイド膜4b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜4aは、前記Wシリサイド膜4bとともにポリサイド構造のゲート電極4として使用する。

【0035】工程6(図6参照):自己整合技術により、ゲート電極4及びシリコン酸化膜5をマスクとして、多結晶シリコン膜2に不純物を注入し、ソース/ドレイン領域6を形成する。

工程7(図7参照):前記ゲート絶縁膜3及びシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極4及びシリコン酸化膜5の側方にサイドウォール7を形成する。更に、このサイドウォール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に不純物を注入して、LDD(Lightly Doped Drain)構造を形成する。

【0036】工程8(図8参照):この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行う。即ち、図30において、105はシート状のアニール光を発する光源であり、キセノン(Xe)アークランプ106とそれを包む反射鏡107を1組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのローラー、110は予熱用のプリヒーター、111は加熱後の基板が急激に冷却されてひび割れしないようにするための補助ヒーターである。

【0037】このような構成において、基板1をプリヒーター106で予熱した後、シート状のアニール光源105を通して、熱処理する。この時のRTAの条件は、熱源:Xeアークランプ、温度:700~950℃(パイロメータ)、雰囲気: $N_2$ 、時間:1~3秒である。RTA法による加熱は、高温を用いるが、きわめて短時間で終わることができるので、基板1が変形する心配はない。

【0038】尚、基板1に対し、急激に高い温度を加えることが心配な場合は、RTAを複数回に分けて行ってもよい。即ち、各回の時間は1~3秒とし、回を重ねる毎に温度を、初回:400℃~最終回:700~950℃というように段階的に上昇させる。前記Xeアークランプの光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、(ゲート)配線の低抵抗化や不純物の活性化に適している。

【0039】そして、この急速加熱により、前記ソース/ドレイン領域6の不純物が活性化するとともに前記非晶質シリコン膜4aが多結晶化され、更には、この多結晶シリコン膜4aとWシリサイド膜4bとによるポリサイド構造のゲート電極4のシート抵抗が、約20~22Ω/□にまで下がる。また、活性化処理を行ったソース/ドレイン領域6のシート抵抗も、n型で1~1.5kΩ/□、p型で1~1.2kΩ/□と、高温プロセスで用いられる拡散炉による高温熱処理と同等のものとなる。

【0040】この工程により、薄膜トランジスタ（TFT：Thin Film Transistor）Aが形成される。

工程9（図9参照）：レジスト8除去後、デバイスの全面に、プラズマ酸化膜（膜厚2000Å）と常圧CVD法によるシリコン酸化膜（膜厚2000Å）との積層構造から成る層間絶縁膜9を形成する。層間絶縁膜9を常圧CVD法によるシリコン酸化膜だけで形成すると、堆積膜厚が不均一になって、オーバーハングが形成され、後工程で使用するA1などが除去されずに残りやすく、絶縁不良が発生する危惧がある。一方、本実施例のように、プラズマ酸化膜を堆積した後に常圧でシリコン酸化膜を堆積する方法にあっては、シリコン酸化膜の成長レートが安定し、その堆積膜厚が均一になる。

【0041】特に、プラズマ酸化膜は、基板表面の凹凸に合わせて均一な膜厚で堆積されるので、層間絶縁膜としての総膜厚が均一に安定する。プラズマ酸化膜の堆積条件は、堆積温度：390℃、RF出力：500W、SiH<sub>4</sub>流量：500sccm、酸素流量：1500sccm、圧力：9torrとし、シリコン酸化膜の堆積条件は、堆積温度：400℃、キャリアN<sub>2</sub>ガス流量：3000ccとする。

【0042】続いて、電気炉により、水素（H<sub>2</sub>）雰囲気中、温度450℃で12時間加熱し、更に、水素プラズマ処理を施す。このような水素化処理を行うことで、多結晶シリコン膜の結晶欠陥部分に水素原子が結合し、結晶構造が安定化して、電界効果移動度が高まる。その後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記層間絶縁膜9に、前記ソース・ドレイン領域6とコンタクトするコンタクトホール10を形成する。

【0043】工程10（図10参照）：マグネトロンスパッタ法により、Ti／Al—Si合金／Tiの積層構造からなる配線層を堆積し、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、ソース・ドレイン電極11として加工する。

工程11（図11参照）：CVD法により、デバイスの全面に保護膜としてのシリコン酸化膜12（シリコン窒化膜でもよい）を薄く堆積させる。

【0044】工程12（図12参照）：デバイス全面に、SOG（Spin On Glass）膜13を3回にわたって塗布し、デバイス表面の凹凸を平坦化する。

工程13（図13参照）：前記SOG膜13はレジストの剥離性が悪く、また水分を吸収しやすいので、この保護膜として、CVD法により、SOG膜13の上に更にシリコン酸化膜14（シリコン窒化膜でもよい）を薄く堆積させる。

【0045】工程14（図14参照）：フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記シリコン酸化膜12／SOG膜13／シリコン酸化膜14に、前記ソース・ドレイン電極11に通じる

コンタクトホール15を形成し、デバイスの全面に、画素電極としてのITO膜16をスパッタ蒸着させる。

工程15（図15参照）：最後に、ITO膜16を電極形状に加工すべく、ITO膜16の上にレジストパターンを形成した後、まず、臭化水素ガス（HBr）を用いたRIE法によりITO膜16をエッチングし、シリコン酸化膜14が露出しはじめた時点で、ガスを塩素ガス（Cl<sub>2</sub>）に切り替え、そのまま最後までエッチングを継続する。

【0046】工程16（図16参照）：このようにLCDの片側TFT基板を形成した後は、表面に共通電極17が形成された透明絶縁基板18を相対向させ、各基板1、18の間に液晶を封入して液晶層19を形成することにより、LCDの画素部を完成させる。図17は本実施例におけるアクティブマトリクス方式LCDのブロック構成図である。

【0047】画素部20には各走査線（ゲート配線）G1…Gn、Gn+1…Gmと各データ線（ドレイン配線）D1…Dn、Dn+1…Dmとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素21が設けられている。そして、各ゲート配線は、ゲートドライバ22に接続され、ゲート信号（走査信号）が印加されるようになっている。また、各ドレイン配線は、ドレインドライバ（データドライバ）23に接続され、データ信号（ビデオ信号）が印加されるようになっている。これらのドライバ22、23によって周辺駆動回路24が構成されている。

【0048】そして、各ドライバ22、23のうち少なくともいずれか一方を画素部20と同一基板上に形成したLCDは、一般にドライバー一体型（ドライバ内蔵型）LCDと呼ばれている。尚、ゲートドライバ22が、画素部20の両端に設けられている場合もある。また、ドレインドライバ23が、画素部20の両側に設けられている場合もある。

【0049】この周辺駆動回路24のスイッチング用素子にも前記多結晶シリコンTFT（A）と同等の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT（A）の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路24用の多結晶シリコンTFTは、LDD構造ではなく、通常のシングルドレイン構造を採用している（もちろん、LDD構造であってもよい）。

【0050】また、この周辺駆動回路24の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ22、23としての寸法の縮小化を実現している。図18にゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素21の等価回路を示す。画素21は、画素駆動素子としてのTFT（前記薄膜トランジスタAと同様）、液晶セルLC、補助要領CSから構成される。ゲート配線GnにはTFTのゲートが接続さ

れ、ドレイン配線DnにはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量又は付加容量）CSとが接続されている。

【0051】この液晶セルLCと補助容量CSとにより、信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字通り 10 全ての画素21に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極は、隣のゲート配線Gn+1と接続されている場合もある。

【0052】このように構成された画素21において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、ゲート 20 配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素21へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素21に任意のデータ信号を保持させておくことができる。その画素21の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0053】ここで、画素21の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部20の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLC及び補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0054】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。

（第2実施形態）次に、本発明を具体化した第2の実施形態を図19～図28に基づいて説明する。但し、第1実施形態で説明した個所と同等の個所には同じ符号を用い説明を省略する。また、この第2実施形態は、第1実施形態の工程1～工程8に対応する工程が異なるので、ここではその部分のみを説明する。

【0055】工程(1)（図19参照）：基板1上に、Wシリサイド膜51を形成する。

工程(2)（図20参照）：前記Wシリサイド膜51を、トランジスタの能動層としての多結晶シリコンと同じパターンに加工する。

工程(3)（図21参照）：前記基板1及びWシリサイド膜51を覆うように、SiO<sub>2</sub>やSiNなどの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。

【0056】工程(4)（図22参照）：前記絶縁性薄膜1aの上に、非晶質シリコン膜2aを形成する。

工程(5)（図23参照）：前記非晶質シリコン膜2aの表面にKrFエキシマレーザービームを走査してアニール処理を行い、非晶質シリコン膜2aを熔融再結晶化して、多結晶シリコン薄膜2を形成する。

【0057】尚、レーザービームとして、XeClエキシマレーザーやArFエキシマレーザーを使用してもよい。

工程(6)（図24参照）：前記多結晶シリコン膜2を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜2を所定形状に加工する。

【0058】そして、前記多結晶シリコン膜2の上に、ゲート絶縁膜としてのLT膜3を形成する。

工程(7)（図25参照）：前記ゲート絶縁膜3の上に、非晶質シリコン膜4aを堆積する。次に、前記非晶質シリコン膜4aの上にWシリサイド膜4bを形成する。

【0059】そして、前記Wシリサイド膜4bの上にシリコン酸化膜5を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜4a、Wシリサイド膜4b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜4aは、前記Wシリサイド膜4bとともにポリサイド構造のゲート電極4として使用する。

【0060】工程(8)（図26参照）：前記ゲート絶縁膜3及びシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極4及びシリコン酸化膜5の側方にサイドウォール7を形成する。そして、自己整合技術により、サイドウォール7をマスクとして、多結晶シリコン膜2に、加速電圧：80KeV、ドーズ量  $3 \times 10^{13} \text{ cm}^{-2}$  の条件で、リン(P)イオンを不純物として注入し、低濃度の不純物領域6aを形成する。

【0061】工程(9)（図27参照）：前記サイドウォール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に、加速電圧：80KeV、ドーズ量  $1 \times 10^{15} \text{ cm}^{-2}$  の条件で、リン(P)イオンを不純物として注入し、高濃度の不純物領域6bを形成することにより、LDD (Lightly Doped Drain) 構造のソース/ドレイン領域6を形成する。



【0062】工程(10) (図28参照) : この状態で、第1実施形態と同様のRTA法による急速加熱を行う。Xeアークランプの光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、(ゲート)配線の低抵抗化や不純物の活性化に適している。

【0063】特に、本実施例では、多結晶シリコン膜2に対応して、その下方にWシリサイド膜51を形成している。このWシリサイド膜51は、RTAの熱を吸収する作用があり、熱を吸収したWシリサイド膜51からの放射熱によっても前記多結晶シリコン膜2の不純物の活性化が行われる。即ち、多結晶シリコン膜2を、Xeアークランプによる熱とWシリサイド膜51からの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜2全体を均一に加熱し、活性化がバラツクことなく良好に行われるようにする。

【0064】Wシリサイド膜51の大きさは、基本的に、多結晶シリコン膜2と同じか又はそれ以上であればよいが、面内でのパターンの大きさに対応した面積となるように調整すれば、なお好ましい。即ち、集積化半導体デバイスでは、パターンの疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、場所によって単位面積当りの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜51が集中する場所での温度が非常に高くなって基板1が変形する場合がある。

【0065】そこで、下層に配置した熱吸収膜の単位面積当りの密度を、その上層に形成されるパターンに係わらずほぼ一定となるようにすれば、RTAで活性化するときの温度分布の偏りを解消することができる。具体的にドライバ一体型のLCDパネルでは、ドライバ部に比べて画素部のトランジスタの密度が高いので、ドライバ部のトランジスタに対応するWシリサイド膜51の大きさを、画素部のそれに比べて大きくしてやることで、基板1全体の温度分布がほぼ均一になる。

【0066】LCDパネルにあっては、回路の面積の約10%がWシリサイド膜51となるように調整することが好ましい。この工程により、多結晶シリコンTFT (TFT: Thin Film Transistor) (A) が形成される。以上の実施形態により製造した多結晶シリコンTFTにあっては、いわゆる低温プロセスで行うことができ、しかも、良質の多結晶シリコン膜を能動層として使用している。

【0067】本発明者の実験によれば、nチャネルのMOS型多結晶シリコンTFTでの移動度 $\mu_n$ が $200 \text{ cm}^2/\text{V} \cdot \text{S}$ 以上、pチャネルのMOS型多結晶シリコンTFTでの移動度 $\mu_p$ が $150 \text{ cm}^2/\text{V} \cdot \text{S}$ 以上と、高い性能のトランジスタを実現できることが分かった。このような高性能TFTにあっては、例えば、 $\mu_n = 50 \text{ cm}^2/\text{V} \cdot \text{S}$ 、 $\mu_p = 20 \text{ cm}^2/\text{V} \cdot \text{S}$ が要求

されるNTSCテレビ信号表示用LCDパネルにも十分に適用可能であり、 $\mu_n = 50 \text{ cm}^2/\text{V} \cdot \text{S}$ 、 $\mu_p = 20 \text{ cm}^2/\text{V} \cdot \text{S}$ 、しきい値電圧:  $2 \text{ V}$  (nチャネル)、 $-5 \text{ V}$  (pチャネル)、S値 (Sub-threshold swing) :  $0.2 \text{ V/decade}$ 、オン・オフ比:  $1 \times 10^7$  の特性を得ることができる。

【0068】また、移動度が高いぶん、TFTの駆動能力が向上するので、TFTのサイズを小さくすることができ、従来能動層として非晶質シリコンを用いたトランジスタのサイズ ( $W/L = 34/10 \mu\text{m}$ ) に比べて、 $1/8$ 以下のサイズ ( $W/L = 8/5 \mu\text{m}$ ) に縮小することができる。更には、高品質の能動層であるので、トランジスタOFF時のリーク電流も少なく、そのぶん補助容量の面積も $1/3$ 以下に縮小することができる。具体的には、サイズ2.4型で、画素ピッチ:  $50.0$

(H)  $\mu\text{m} \times 1500$  (V)  $\mu\text{m}$ 、画素数: 23万ドット ( $320 \times 3$  (RGB)  $\times 240$ ) と、従来型のパネルに比べて3倍以上の高密度画素を有しながらも、55%という高開口率 (従来比: 1.5倍) のものを得ることができ、高輝度化を実現できる。

【0069】以上の実施例は以下のように変更してもよく、その場合でも同様の作用、効果を得ることができる。

1) 条件にもよるが基板1として、通常のガラス板なども使用可能である。

2) 工程2や工程(4)において、非晶質シリコン膜を減圧CVD法により、例えば、モノシランガスを用い、温度 $580^\circ\text{C}$ で堆積させる。これにより、非晶質シリコン膜2aは微結晶を含んだ膜となる。

【0070】微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶粒径が小さくなるぶん移動度は若干低下するが、結晶成長を短時間で終えることができる。

3) 工程2や工程(4)において、非晶質シリコン膜2aを減圧CVD法、プラズマCVD法によらず、常圧CVD法、光励起CVD法、蒸着法、EB (Electron Beam) 蒸着法、MBE (Molecular Beam Epitaxy) 法、スパッタ法からなるグループの内のいずれか一つの方法によって形成する。

【0071】4) 多結晶シリコン膜2のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTのしきい値電圧 ( $V_{th}$ ) を制御する。固相成長法で形成した多結晶シリコンTFTにおいては、Nチャネルトランジスタではディプレッション方向にしきい値電圧がシフトし、Pチャネルトランジスタではエンハンスメント方向にしきい値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきい値電圧のシフトを抑えるには、チャネル領域に不純物をドーピングすればよい。

【0072】5) 前記工程3や工程(5)に代えて以下の

工程を行う。

工程 3 a : 電気炉により、窒素 ( $N_2$ ) 雰囲気中、温度 600℃程度で約 20 時間の熱処理を行うことにより、前記非晶質シリコン膜 2 a を固相成長させて多結晶シリコン膜 2 を形成する。

6) 工程 3 a で形成したこの多結晶シリコン膜 2 は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残っている可能性があり、リーク電流が多くなる危険がある。

【0073】そこで、工程 3 a の後、基板 1 を R T A 法又はレーザーアニール法により急速加熱し、多結晶シリコン膜 2 の膜質を改善する。

7) 電気炉は、レーザー照射に比べて、時間はかかるが、一度に大量の基板を処理できるため、前記 5) や 6) の工程は実質的にスループットが高い。従って、その後の、例えば不純物領域の活性化のための熱処理は、R T A 法に代えてレーザービームアニール法を用いてもよい。R T A 法は短時間で終わることができるという利点があり、レーザーアニール法は不純物領域の温度を高く上昇させることができるため、シート抵抗を下げることもできるという利点がある。

【0074】8) 工程 5、工程 (I)、工程 (7) において、スパッタ法以外の P V D 方法 (真空蒸着法、イオンプレーティング法、イオンビームデポジション法、クラスターイオンビーム法など) を用いて、W シリサイド膜 4 b、5 1 を形成する。この場合にも、前記したスパッタ法の場合と同様な理由により、W シリサイド ( $W S i_3$ ) の組成を  $X > 2$  に設定する。

【0075】9) 工程 5、工程 (I)、工程 (7) において、C V D 法を用いて W シリサイド膜 4 b、5 1 を形成する。そのソースガスとしては、六フッ化タングステン ( $W F_6$ ) とシラン ( $S i H_4$ ) を用いればよい。成膜温度は、350~450℃前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、W シリサイド ( $W S i_3$ ) の組成を  $X > 2$  に設定する。C V D 法は P V D 法に比べ、段差被覆性が優れているため、W シリサイド膜 4 b の膜厚をより均一にすることができる。

【0076】9) ゲート電極に用いる W シリサイドに代わるものとして、 $M o S i_2$ 、 $T i S i_2$ 、 $T a S i_2$ 、 $C o S i_2$  などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Ta などの高融点金属を用いてもよい。

10) 工程 9 において、プラズマ酸化膜に代えて、T E O S (Tetra Ethyl Ortho Silicate 又は Tetra-ethoxy-silane) を用いたプラズマ T E O S 酸化膜を用いてもよく、また、シリコン酸化膜に代えて、常圧オゾン T E O S 酸化膜を用いてもよい。

【0077】プラズマ T E O S 酸化膜の堆積条件は、堆積温度: 390℃、R F 出力: 500 W、T E O S 流量: 500 s c c m、酸素流量: 600 s c c m、圧

力: 9 t o r r とし、常圧オゾン T E O S 酸化膜の堆積条件は、堆積温度: 400℃、R F 出力: オゾン濃度: 約 5 w t %、T E O S キャリア  $N_2$  ガス流量: 3000 c c とする。

【0078】11) 上記 10) の工程の後、プラズマ T E O S 酸化膜を、アンモニア ( $N H_3$ ) ガスを用いてプラズマ処理することにより窒素イオンに晒し、その表面を窒化してから常圧オゾン T E O S 酸化膜を堆積すると、シリコン酸化膜の成長レートがより安定する。この時の窒化処理条件は、温度: 360℃、R F 出力: 500 W、アンモニア流量: 100~500 s c c m、 $N_2$  流量: 0~400 s c c m である。尚、この窒化処理において、アンモニアの代わりに窒素を用いてもよい。

【0079】12) W シリサイド膜 5 1 に代えて、非晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドーピングされていてもよい。このように、導電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、T F T を、L S I に用いられる M O S トランジスタのように 4 端子デバイスとして動作させて、しきい値電圧をコントロールできると共に、ガラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性劣化及び可動イオンが形成する電位による T F T への悪影響を防止することができる。

【0080】13) W シリサイド膜 5 1 に代えて、 $M o S i_2$ 、 $T i S i_2$ 、 $T a S i_2$ 、 $C o S i_2$  などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Ta などの高融点金属を用いてもよい。更には、使用温度が低い場合には (約 450℃以下)、Al や Au などのいわゆる低融点金属を用いてもよい。W シリサイド膜も含めて、これらの金属膜は、光を通さない性質を有しているので、以下の通りの効果を有する。

【0081】a) 光の散乱を防止すると共に液晶セルに斜めから入ろうとする不要な光を遮るので、L C D デバイスとしてコントラストが高くなる。

b) T F T に入ろうとする光を遮るので、光によるリーク電流を減少させて T F T としての特性を向上させると共に光による T F T 自身の劣化を防止する。

【0082】12) プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコン T F T に適用する。

13) 多結晶シリコン T F T だけでなく、絶縁ゲート型半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ (S I T : Static Induction Transistor) などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【0083】

【発明の効果】本発明にあっては、以下の通りの優れた

効果を奏する。

1) 低温プロセスが可能で、安価な基板を使用でき、薄膜トランジスタや液晶ディスプレイの製造コストを削減できる。

2) 良質な多結晶シリコン膜を短時間で得ることができ、薄膜トランジスタや液晶ディスプレイの製造におけるスループットが向上する。

【図面の簡単な説明】

【図 1】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 2】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 3】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 4】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 5】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 6】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 7】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 8】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 9】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 10】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 11】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 12】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

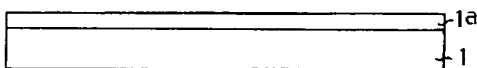
【図 13】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 14】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 15】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 16】本発明を具体化した第 1 実施形態の製造工程を説明するための断面図である。

【図 1】



【図 17】アクティブマトリクス方式 LCD のブロック構成図である。

【図 18】画素の等価回路図である。

【図 19】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 20】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 21】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

10 【図 22】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 23】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 24】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 25】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 26】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

20 【図 27】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 28】本発明を具体化した第 2 実施形態の製造工程を説明するための断面図である。

【図 29】エキシマレーザーアニール装置の構成図である。

【図 30】RTA 装置の構成図である。

【図 31】従来例の製造工程を説明するための断面図である。

30 【図 32】従来例の製造工程を説明するための断面図である。

【符号の説明】

1 絶縁基板

2 a 非晶質シリコン膜

2 多結晶シリコン膜

3 ゲート絶縁膜

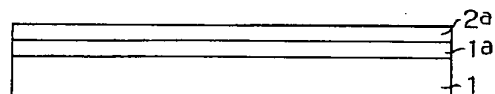
4 a 多結晶シリコン膜 (非晶質シリコン膜)

4 b Wシリサイド膜

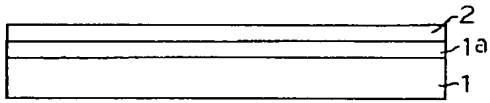
4 ゲート電極

6 不純物領域

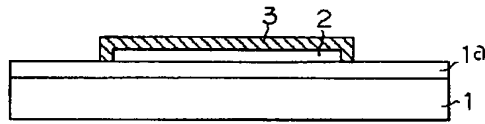
【図 2】



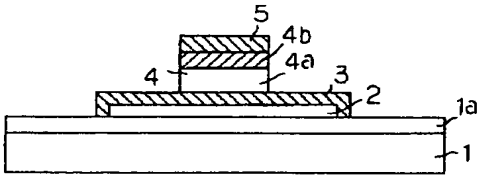
【図 3】



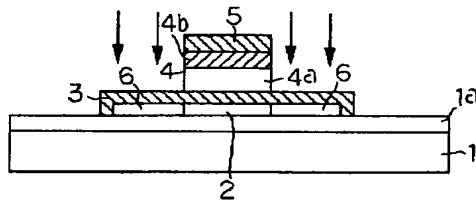
【図 4】



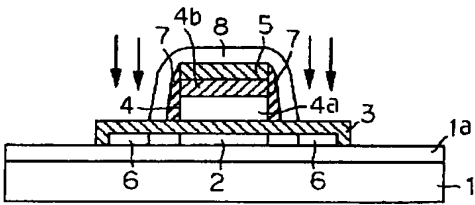
【図 5】



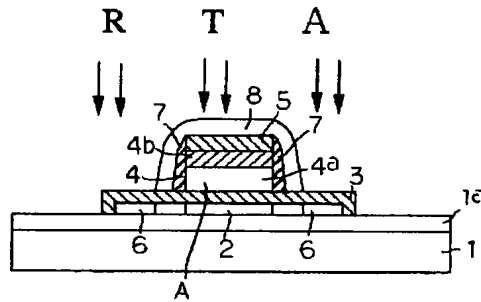
【図 6】



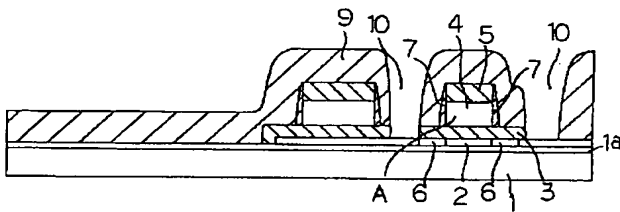
【図 7】



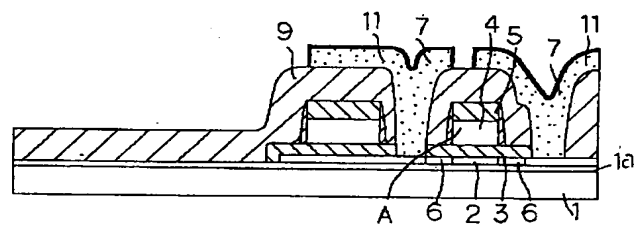
【図 8】



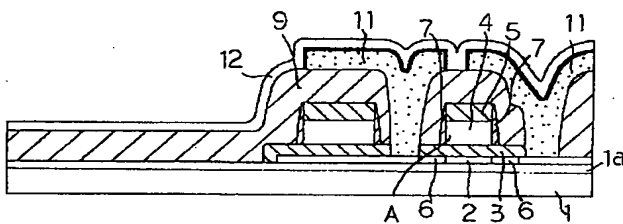
【図 9】



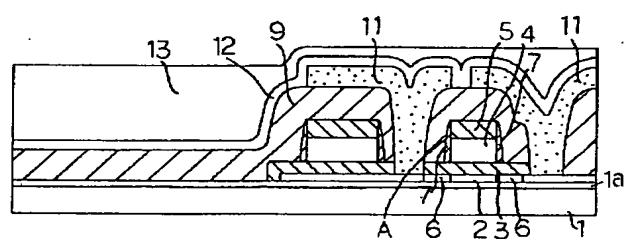
【図 10】



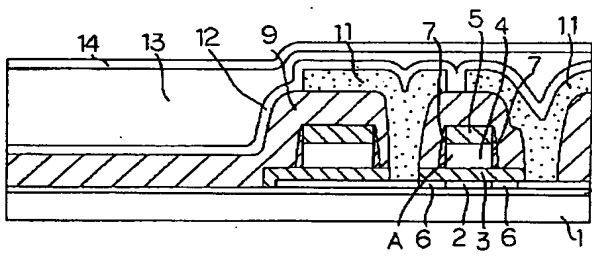
【図 11】



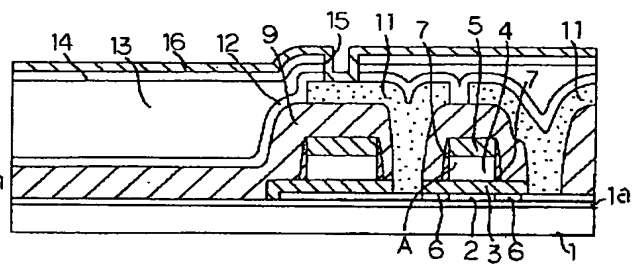
【図 12】



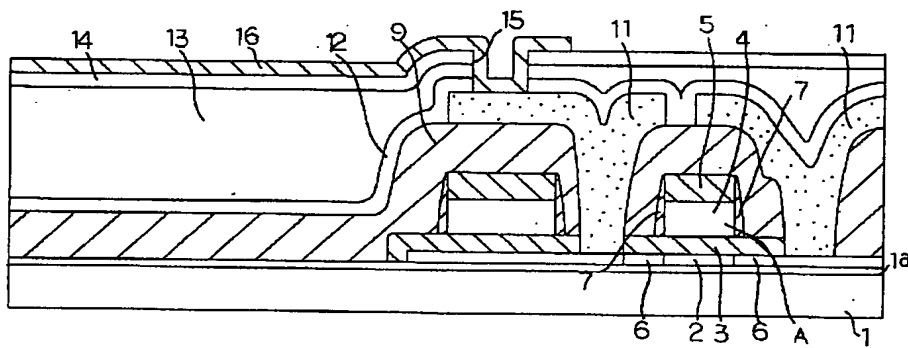
【図 13】



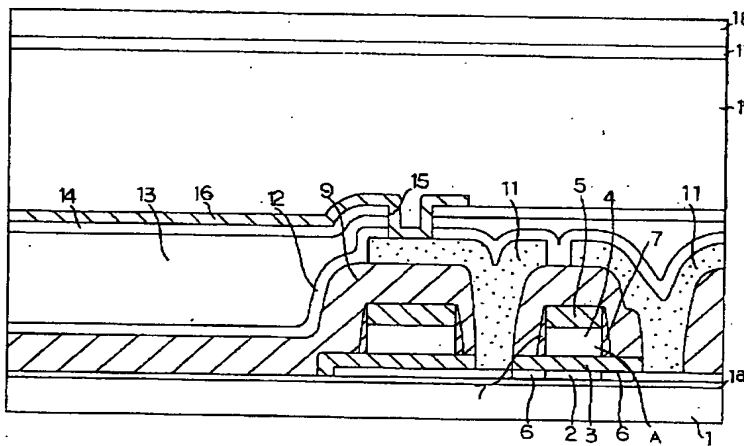
【図 14】



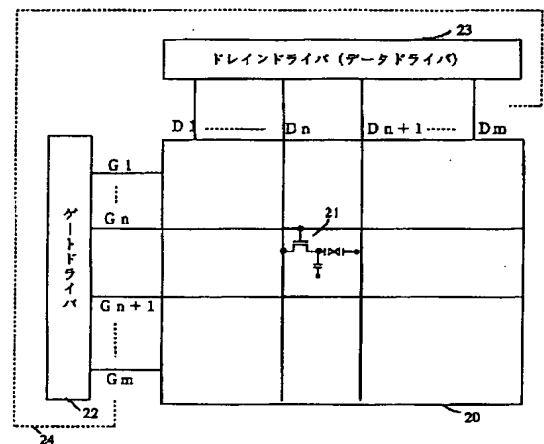
【図 15】



【図 16】



【図 17】



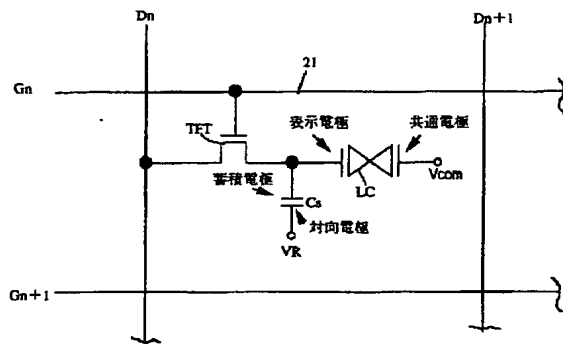
【図 19】



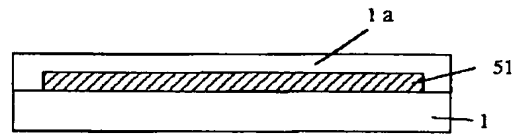
【図 20】



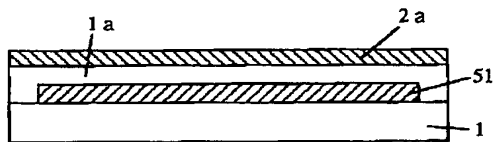
【図 18】



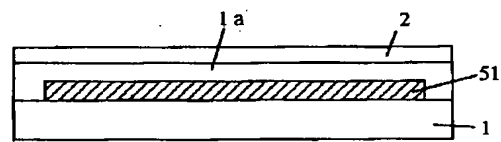
【図 21】



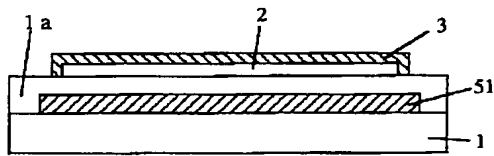
【図 22】



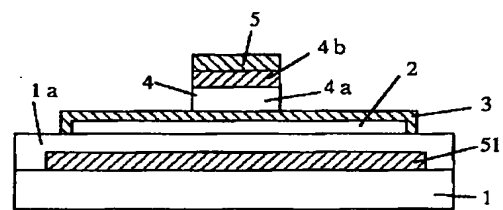
【図 23】



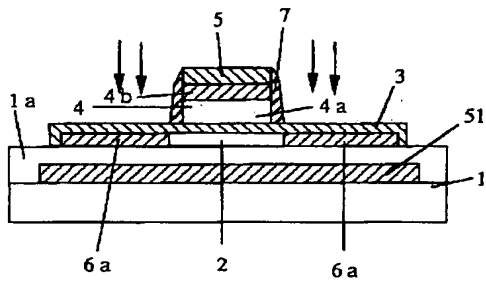
【図 24】



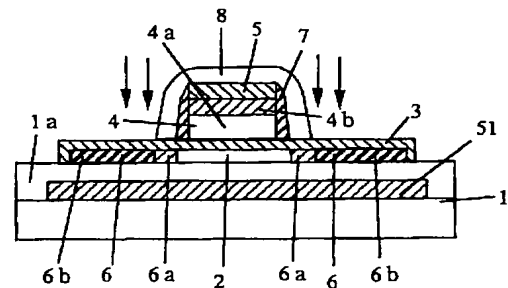
【図 25】



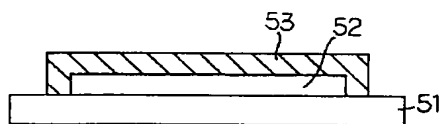
【図 26】



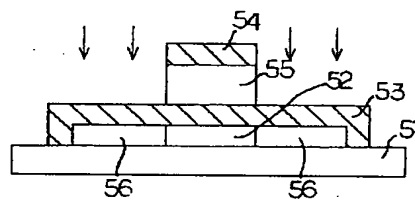
【図 27】



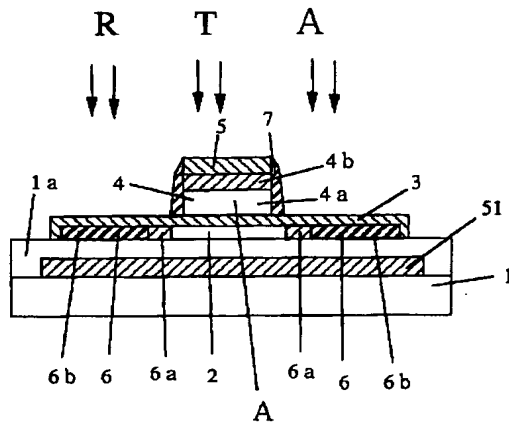
【図 31】



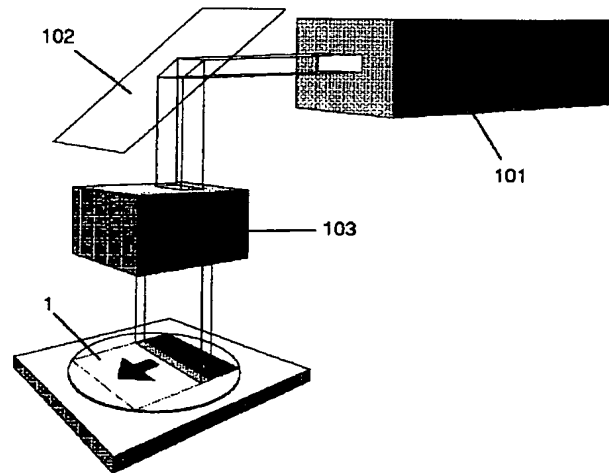
【図 32】



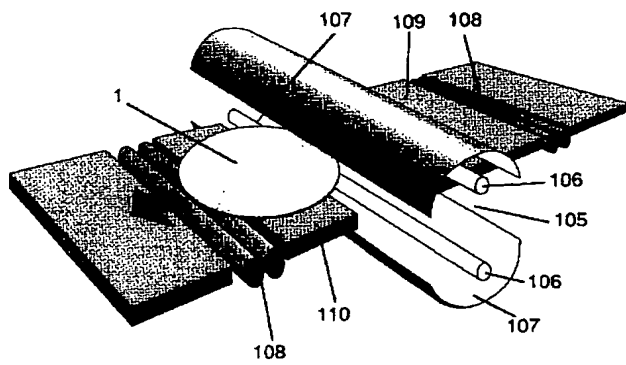
【図 28】



【図 29】



【図 30】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H 0 1 L 27/12

識別記号 庁内整理番号

F I

技術表示箇所

(72) 発明者 森本 佳宏  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(72) 発明者 米田 清  
大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内